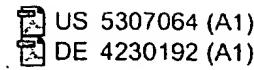


DIGITAL/ANALOG CONVERTER

Patent number: JP6029853
Publication date: 1994-02-04
Inventor: KUDO YOICHI
Applicant: TECHNO ACE KK
Classification:
- **international:** H03M1/66; H03M1/08
- **european:** H03M1/66
Application number: JP19910258434 19910909
Priority number(s): JP19910258434 19910909

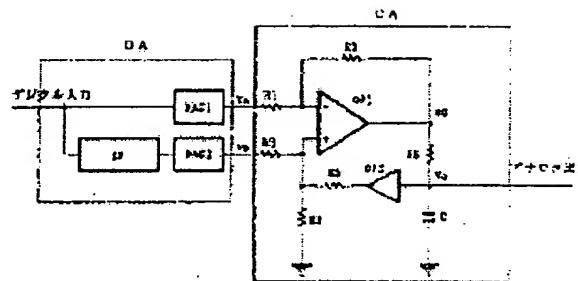
Also published as:



Abstract of JP6029853

PURPOSE: To reduce the load of an LPF and enable the elimination of the LPF by forming an output waveform into a smooth analog one and obtaining an analog output waveform in which high frequency components are not superposed.

CONSTITUTION: Analog voltage V_a from a D/A conversion circuit DAC 1 is inputted in the negative electrode input side of an arithmetic amplifier circuit OP 1 via a resistance R_1 . Analog voltage V_b from a DAC 2 is inputted in the positive electrode input side of the circuit OP 1 via a resistance R_3 and output voltage V_d is generated. On the connection point of a resistance R_6 and a capacitor C , or the output side of the D/A converter, voltage V_c is generated. The output voltage V_c is the one that the difference of the voltage V_d and the V_c before one sampling is integrated by a resistance R_6 and the capacitor C . This makes an efficient integration possible by a small CR time constant, an extremely smooth analog waveform can be reproduced because digital noise is difficult to generate in the integrating part and the LPF of the rear stage can be completely eliminated.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-29853

(43)公開日 平成6年(1994)2月4日

(51)Int.Cl.⁵

識別記号 市内整理番号

F I

技術表示箇所

H 03 M 1/66

B 9065-5 J

1/08

B 9065-5 J

審査請求 未請求 請求項の数 6 (全 9 頁)

(21)出願番号 特願平3-258434

(71)出願人 000191272

テクノエース株式会社

愛知県名古屋市千種区大久手町7丁目1番
地

(72)発明者 工藤 洋一

愛知県岩倉市八劔町長野1番地 テクノエ
ース株式会社内

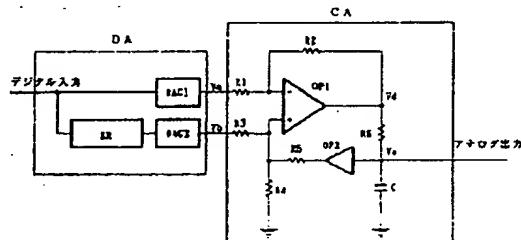
(22)出願日 平成3年(1991)9月9日

(54)【発明の名称】 デジタル／アナログ変換器

(57)【要約】

【目的】 LPF (ローパスフィルタ) の負担を極度に軽減または省略可能とするデジタルオーディオ機器のデジタル／アナログ変換器を提供する。

【構成】 デジタル信号の各サンプリング点に対応する出力デジタル値を第1アナログ出力値として出力させ、かつ、1サンプリング周期だけ遅延させた第2アナログ出力値として出力させる2値デジタル／アナログ変換回路DAと、前記第1アナログ出力値及び前記第2アナログ出力値をそれぞれ第1アナログ入力値及び第2アナログ入力値とし、該第1アナログ入力値と該第2アナログ入力値との差分値を演算する差分演算部と該差分演算部の差分値を積分する積分部と該積分部の出力値を前記第2アナログ入力値に加算する加算部とからなり該積分部の出力値をアナログ出力値として出力させる演算処理回路CAからなる。



1

【特許請求の範囲】

【請求項1】 デジタル信号の各サンプリング点に対応する出力デジタル値を第1アナログ出力値として出力させ、かつ、1サンプリング周期だけ遅延させた第2アナログ出力値として出力させる2値デジタル／アナログ変換回路と、
前記第1アナログ出力値及び前記第2アナログ出力値をそれぞれ第1アナログ入力値及び第2アナログ入力値とし、該第1アナログ入力値と該第2アナログ入力値との差分値を演算する差分演算部と該差分演算部の差分値を積分する積分部と該積分部の出力値を前記第2アナログ入力値に加算する加算部とからなり該積分部の出力値をアナログ出力値として出力させる演算処理回路から、なることを特徴とするデジタル／アナログ変換器。

【請求項2】 前記請求項1の2値デジタル／アナログ変換回路が、

デジタル信号の各サンプリング点に対応する出力デジタル値をアナログ値に変換する第1デジタル／アナログ変換回路と、

前記出力デジタル値を1サンプリング周期だけ遅延させる遅延回路と、該遅延回路のデジタル値をアナログ値に変換する第2デジタル／アナログ変換回路から、なることを特徴とするデジタル／アナログ変換器。

【請求項3】 前記請求項1の2値デジタル／アナログ変換回路が、

デジタル信号の各サンプリング点に対応する出力デジタル値をアナログ値に変換するデジタル／アナログ変換回路と、

該アナログ値を1サンプリング周期だけ遅延させる遅延回路から、

なることを特徴とするデジタル／アナログ変換器。

【請求項4】 演算処理回路が、

デジタル信号に対応した第1アナログ入力を第1抵抗を介して演算増幅回路の一方の入力側に接続し、

前記デジタル信号に対応し、かつ1サンプリング周期だけ遅延させた第2アナログ入力を第2抵抗を介して前記演算増幅回路の他方の入力側に接続し、

前記演算増幅回路の一方の入力側と前記演算増幅回路の出力側とを第3抵抗で接続し、

前記演算増幅回路の出力側と接地間に第4抵抗と第1コンデンサからなる直列回路を接続し、

前記演算増幅回路の他方の入力側と接地間に第5抵抗を接続し、

前記直列回路の第4抵抗と第1コンデンサとの接続点と前記演算増幅回路の他方の入力側間にバッファ回路と第6抵抗からなる直列回路を接続してなることを特徴とする演算処理回路。

【請求項5】 演算処理回路が、

デジタル信号に対応した第1アナログ入力を第1抵抗を介して演算増幅回路の一方の入力側に接続し、

2

前記デジタル信号に対応し、かつ1サンプリング周期だけ遅延させた第2アナログ入力を第2抵抗と第2コンデンサを介して前記演算増幅回路の他方の入力側に接続し、

前記演算増幅回路の一方の入力側と前記演算増幅回路の出力側とを第3抵抗で接続し、

前記演算増幅回路の出力側と接地間に第4抵抗と第1コンデンサからなる直列回路を接続し、

前記演算増幅回路の他方の入力側と接地間に第5抵抗を接続し、

前記直列回路の第4抵抗と第1コンデンサとの接続点と第2抵抗と第2コンデンサとの接続点間にバッファ回路と第6抵抗からなる直列回路を接続してなることを特徴とする演算処理回路。

【請求項6】 N個(Nは2以上の整数)の演算処理回路を有し、

第1演算処理回路に、デジタル信号に対応したアナログ値と1サンプリング周期だけ遅延させた前記デジタル信号に対応したアナログ値を入力し、

20 第2、第3、……、第N演算処理回路に、1/N、2/N、……、(N-1)/Nサンプリング周期だけ遅延させた前記デジタル信号に対応したアナログ値と1/(N+1)、2/(N+1)、……、(N-1)/N+1サンプリング周期だけ遅延させた前記デジタル信号に対応したアナログ値を入力し、

前記第1、第2、第3、……、第N演算処理回路の出力側に、すべての演算処理回路の出力値を加算または平均化する加算平均化回路を接続してなることを特徴とするデジタル／アナログ変換器。

30 【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、デジタルオーディオ機器において、デジタル信号処理回路の後段に接続されるデジタル／アナログ変換器に関する。

【0002】

【従来の技術】 一般に、この種のデジタル／アナログ変換器は、デジタル信号処理回路の各サンプリング点の出力デジタル値をラザー抵抗型のデジタル／アナログ変換回路によってアナログ値(アナログ階段波)に変換し、このアナログ値をL.P.F(ローパスフィルタ)に通じて高周波成分を除去させる構成をとっている。

40 【0003】 そして、オーバサンプリング等の技術を導入してL.P.Fの負担軽減を図り、L.P.Fによる聽覚上の音質低下を抑制するようにしていた。

【0004】

【発明が解決しようとする課題】 しかし、従来のデジタル／アナログ変換器では、出力波形が図3(A)の実線で示すように階段波であることから、L.P.F(ローパスフィルタ)は必要不可欠であり、L.P.Fによる位相特性の劣化、遅延時間の増大等により、聽覚上の音質を十分

50 の劣化、遅延時間の増大等により、聽覚上の音質を十分

3

に向ふさせることは困難であった。

【0005】この発明は、上記問題点を解決し、L.P.F.の負担を極度に軽減することができ、またはL.P.F.を省略可能とすることができて、聴覚上の音質を十分に向ふさせることができるデジタル／アナログ変換器の提供を課題とする。

【0006】

【課題を解決するための手段】上記課題を解決すべく、

【0007】(A)、本発明に係わる一のデジタル／アナログ変換器は、デジタル信号の各サンプリング点に対応する出力デジタル値を第1アナログ出力値として出力させ、かつ、1サンプリング周期だけ遅延させた第2アナログ出力値として出力させる2値デジタル／アナログ変換回路と、前記第1アナログ出力値及び前記第2アナログ出力値をそれぞれ第1アナログ入力値及び第2アナログ入力値とし、該第1アナログ入力値と該第2アナログ入力値との差分値を演算する差分演算部と該差分演算部の差分値を積分する積分部と該積分部の出力値を前記第2アナログ入力値に加算する加算部とからなり該積分部の出力値をアナログ出力値として出力させる演算処理回路からなることを特徴とする。

【0008】(B)、また、本発明に係わる他のデジタル／アナログ変換器は、前記(A)の2値デジタル／アナログ変換回路が、デジタル信号の各サンプリング点に対応する出力デジタル値をアナログ出力値に変換する第1デジタル／アナログ変換回路と、前記出力デジタル値を1サンプリング周期だけ遅延させる遅延回路と、該遅延回路のデジタル値をアナログ値に変換する第2デジタル／アナログ変換回路からなることを特徴とする。

【0009】(C)、また、本発明に係わる他のデジタル／アナログ変換器は、前記(A)の2値デジタル／アナログ変換回路が、デジタル信号の各サンプリング点に対応する出力デジタル値をアナログ出力値に変換するデジタル／アナログ変換回路と、該アナログ値を1サンプリング周期だけ遅延させる遅延回路からなることを特徴とする。

【0010】(D)、また、本発明に係わる演算処理回路が、デジタル信号に対応した第1アナログ入力を第1抵抗を介して演算増幅回路の一方の入力側に接続し、前記デジタル信号に対応し、かつ1サンプリング周期だけ遅延させた第2アナログ入力を第2抵抗を介して前記演算増幅回路の他方の入力側に接続し、前記演算増幅回路の一方の入力側と前記演算増幅回路の出力側とを第3抵抗で接続し、前記演算増幅回路の出力側と接地間に第4抵抗と第1コンデンサからなる直列回路を接続し、前記演算増幅回路の他方の入力側と接地間に第5抵抗と第1コンデンサとの接続点と前記演算増幅回路の他方の入力側間にバッファ回路と第6抵抗からなる直列回路を接続してなることを特徴とする。

4

【0011】(E)、また、本発明に係わる他の演算処理回路が、デジタル信号に対応した第1アナログ入力を第1抵抗を介して演算増幅回路の一方の入力側に接続し、前記デジタル信号に対応し、かつ1サンプリング周期だけ遅延させた第2アナログ入力を第2抵抗と第2コンデンサを介して前記演算増幅回路の他方の入力側に接続し、前記演算増幅回路の一方の入力側と前記演算増幅回路の出力側とを第3抵抗で接続し、前記演算増幅回路の出力側と接地間に第4抵抗と第1コンデンサからなる直列回路を接続し、前記演算増幅回路の他方の入力側と接地間に第5抵抗を接続し、前記直列回路の第4抵抗と第1コンデンサとの接続点間にバッファ回路と第6抵抗からなる直列回路を接続してなることを特徴とする。

【0012】(F)、また、本発明に係わる他のデジタル／アナログ変換器は、N個(Nは2以上の整数)の演算処理回路を有し、第1演算処理回路に、デジタル信号に対応したアナログ値と1サンプリング周期だけ遅延させた前記デジタル信号に対応したアナログ値を入力し、

20 第2、第3、……、第N演算処理回路に、 $1/N$ 、 $2/N$ 、……、 $(N-1)/N$ サンプリング周期だけ遅延させた前記デジタル信号に対応したアナログ値と $1/(N+1)$ 、 $2/(N+1)$ 、……、 $(N-1)/(N+1)$ サンプリング周期だけ遅延させた前記デジタル信号に対応したアナログ値を入力し、前記第1、第2、第3、……、第N演算処理回路の出力側に、すべての演算処理回路の出力値を加算または平均化する加算平均化回路を接続してなることを特徴とする。

【0013】

30 【発明の作用・効果】本発明に係わるデジタル／アナログ変換器によると、デジタル／アナログ変換器の出力波形は、隣合うサンプリング点のサンプリング値間を直線で結んで形成される波形成分が連続したものとなる。換言すると、出力波形は滑らかなアナログ波形となることから、高周波成分が重畠されないアナログ出力波形を得ることができる。このため、後段のL.P.F.の負担軽減が図れ、聴覚上の音質の向上を図ることができ、L.P.F.の省略も可能となる。

【0014】また、本発明に係わる他のデジタル／アナログ変換器によると、平均化する加算平均回路の出力波形は、隣合うサンプリング点のサンプリング値間がさらに分割されて直線で結んで形成される波形成分が連続したものとなるため、上記一のデジタル／アナログ変換器と比べ、さらに滑らかなアナログ出力波形を得ることができる。このため、後段のL.P.F.の負担軽減がより一層図れ、聴覚上の音質のより一層向上を図ることができ、L.P.F.の省略も可能となる。

【0015】

【実施例】以下、この発明の実施例を図面に基づいて説明する。

【0016】①第1実施例 (図1、図3)

この実施例は本発明に係わる一のデジタル／アナログ変換器に関するものである。

【0017】この実施例のデジタル／アナログ変換器は、2値デジタル／アナログ変換回路DAと演算処理回路CAからなっている。

【0018】そして、2値デジタル／アナログ変換回路DAは、つぎの構成からなっている。第1デジタル／アナログ変換回路DAC1は、デジタル信号処理回路(図示せず)の各サンプリング点に対応する出力デジタル値をアナログ値に変換するラダー抵抗型のデジタル／アナログ変換回路である。

【0019】遅延回路SRは、シフトレジスタ等で構成されるデジタル遅延回路で、デジタル信号処理回路の出力デジタル値を1サンプリング周期だけ遅延させる回路である。

【0020】第2デジタル／アナログ変換回路DAC2は、遅延回路SRの出力デジタル値をアナログ値に変換するラダー抵抗型のデジタル／アナログ変換回路である。以上の構成から2値デジタル／アナログ変換回路DAは、構成されている。

【0021】つぎに演算処理回路CAは、つぎの構成からなっている。第1デジタル／アナログ変換回路DAC1の出力側は、抵抗R1を介して演算増幅回路OP1の負極入力側に接続されている。第2デジタル／アナログ変換回路DAC2の出力側は、抵抗R3を介して演算増幅回路OP1の正極入力側に接続されている。演算増幅回路OP1の負極入力側は、抵抗R2を介して演算増幅回路OP1の出力側に接続されている。演算増幅回路OP1の出力側は、抵抗R6を介してコンデンサCに接続され、コンデンサCの他端は、接地されている。この抵抗R6とコンデンサCとで、積分回路を構成している。*

$$V_1 = (V_b + V_c) / K_1$$

演算増幅回路OP1の出力電圧Vdは、

$$V_d = K_2 \times (V_b + V_c) - V_a$$

ただし、K1=3、K2=2/3

尚、K1、K2の値は抵抗R1～R5の値を変化させることで変更することが可能である。

【0025】そして、出力電圧Vcは、Vdと1サンプ※

$$V_c = (V_d - V_{c0}) \times (1 - \exp(-t/\tau)) + V_{c0} \quad \text{--- ③式}$$

但し、 $\tau = C \times R_6$

【0026】今、t=0に於けるVb、Vcの初期値を0と仮定すれば、②式より、Vd=-Vaとなり、Vdには、Vaの反転した電圧が発生する。そして、0 < t < ts (tsはサンプリング時間間隔)の期間では、Vcは③式に従って積分が実行される。しかし、ここで注目すべきは、Vcを決定づけるVdが②式より明かなるVcの関数であり、Vcの変化に伴いVdも同方向に変化し、抵抗R6に流れる電流が制御され、積分電圧は直線的に推移していくことになる。そして、時定数

50 【0027】以上、本発明によれば、小さなドット表示

*抵抗R6とコンデンサCとの接続点つまり、デジタル／アナログ変換器の出力点は、バッファ回路OP2(増幅率=1)及び抵抗R5を介して演算増幅回路OP1の正極入力側に偏置されるように接続されている。演算増幅回路OP1の正極入力側はまた抵抗R1を介して接地されている。以上の構成から演算処理回路CAは、構成されている。

【0022】デジタル信号処理回路からのデジタル信号は、第1デジタル／アナログ変換回路DAC1に入力され、アナログ電圧Vaを発生させる。また、更にデジタル信号は、遅延回路SRにより1サンプリング周期だけ遅延されて第2デジタル／アナログ変換回路DAC2にも入力され、アナログ電圧Vbを発生させる。アナログ電圧Vaは、抵抗R1を介して演算増幅回路OP1の負極入力側に入力され、一方、アナログ電圧Vbは、抵抗R3を介して演算増幅回路OP1の正極入力側に入力されて、演算増幅回路OP1の出力側に出力電圧Vdを発生させ、抵抗R6とコンデンサCとの接続点つまり、デジタル／アナログ変換器の出力側には、出力電圧Vcを発生させる。

【0023】以上の回路構成によって出力端子に発生する出力電圧Vcは、図3(B)の矢印で示される直線的な積分ベクトルとなる。尚、図3(B)に於いて、Va(実線で表されている波形)及びVb(点線で表されている波形)の階段波形は図1のアナログ電圧Va、Vbにそれぞれ対応する。

【0024】つぎに図1に基づいて回路の動作を説明する。今、簡略化のため、抵抗R1=R2=R3=R4=R5=Rとし、各々のノードに於ける電圧変化は以下の通りとなる。演算増幅回路OP1の正極入力側電圧をViとすると、

$$----- \quad \text{①式}$$

$$----- \quad \text{②式}$$

※リング前のVc (=Vc0とする) の差をVc0に対して、抵抗R6とコンデンサCで積分したものであるから、

τ を $t=t_s$ で $V_c = -V_b$ になるように設定することで、Vcの積分ベクトルは、Vaに追従して変化することになる。また、 $V_a = V_b$ の直流値に於いても、②式より明かなる $V_c = -V_b$ のため、 $V_d = -V_a$ 一定となり、結果として $V_c = -V_a$ が保持され、直流成分も難なく再生可能である。尚、Vcは、Va、Vbに対し、反転電圧となるため、図示していないが、デジタル部又は後段のアナログ部にて反転機能が必要であることは、云うまでもない。

により、効率的な積分が実施可能であり、積分部分にデジタルのノイズが発生しにくいため、非常に滑らかなアナログ波形を再生することが可能となり、後段のL P F (図示せず)を完全に除去することも可能である。さらに、信号周波数の変化に伴う位相の変化も原理上発生せず、デジタル入力からアナログ出力までのデジタル／アナログ変換時間も最小となる。このため、聴覚上の品質を極限にまで向上させることが可能となる。

【0028】②第2実施例 (図2)

この実施例は本発明に係わる他のデジタル／アナログ変換器に関するものである。

【0029】図1に於いて説明したアナログ電圧V a、V bの発生を1個のデジタル／アナログ変換回路で実現する方式を示す2値デジタル／アナログ変換回路D Aである。

【0030】デジタル／アナログ変換回路D A Cは、図1と同様のデジタル信号処理回路(図示せず)の各サンプリング点に対応する出力デジタル値をアナログ値に変換するラダー抵抗型のデジタル／アナログ変換回路である。サンプルホールド回路S Hは、図1のデジタル遅延回路と異なり、デジタル／アナログ変換回路D A Cのアナログ出力値を1サンプリング周期だけ遅延させるアナログ遅延回路である。デジタル信号処理回路からのデジタル信号は、デジタル／アナログ変換回路D A Cに入力され、アナログ電圧V aを発生させる。また、アナログ電圧V a信号は、サンプルホールド回路S Hにより1サンプリング周期だけ遅延されて、アナログ電圧V bを発生させる。

【0031】アナログ電圧V a、V bより、積分ペクトルV cがデジタル／アナログ変換器の出力側に発生する動作は、図1と同じであるため、説明を省略する。また、図1と同じものは、同符号で表されている。

【0032】③第3実施例 (図4)

この実施例は本発明に係わる他のデジタル／アナログ変換器に関するものである。

【0033】本発明のデジタル／アナログ変換器の基本は、2値のアナログデータより、その差分を積分し積み重ねるものである。このため、定常状態では、2値のアナログデータの差分がゼロになり、積分も実行されずに定常値を保持することが前提である。しかしながら、アナログ出力V a、アナログ出力V bの定常時の差分が十分小さい場合には、問題はないが、アナログ出力V a、アナログ出力V bの定常時の差分が無視できない場合、この差分が積分対象となり、ノイズの発生を促す。

【0034】これを更に改善するのがこの実施例である。この演算処理回路C Aは、図4に示すように、デジタル／アナログ変換回路(図示せず)によりデジタル値をアナログ値に変換されたアナログ出力V aを、抵抗R 1を介して演算増幅回路O P 1の正極入力側に入力する。遅延回路(図示せず)によって、アナログ出力V a

より1サンプリング周期だけ遅延させられたアナログ出力V bを、抵抗R 3及びコンデンサC 1を介して演算増幅回路O P 1の正極入力側に入力する。演算増幅回路O P 1の正極入力側は、抵抗R 4を介して接地する。演算増幅回路O P 1の負極入力側を、抵抗R 2を介して演算増幅回路O P 1の出力側に接続する。演算増幅回路O P 1の出力側は、抵抗R 6とコンデンサCの直列回路を介して接地する。また、抵抗R 6とコンデンサCの接続点つまり、デジタル／アナログ変換器の出力側は、演算増幅回路O P 1の正極入力側に帰還されるようにバッファ回路O P 2と抵抗R 5を介して抵抗R 3とコンデンサC 1の接続点に接続する。このようにして、演算処理回路C Aは、構成されている。

【0035】ここで、特に注目しなければいけない点は、V b、V cの影響を定常時には、カットするようコンデンサC 1が付加されている点である。これにより、V a ≠ V bのペクトル発生は、図1、図2と同様に実施され、V a ≠ V bの定常時には演算増幅回路O P 1は、単なるV aの反転アンプとして動作し、ノイズの発生を抑止させることができる。

【0036】④第4、第5実施例 (図5、図6、図7)

この実施例は本発明に係わる他のデジタル／アナログ変換器に関するものである。

【0037】図5は、図1の構成を複数個、図6では、図2の構成を複数個、それぞれ組み合わせて構成するようにした実施例である。尚、簡略化のため、図5、図6に於いては、図1または図2の回路構成要素を2組とした例である。

【0038】第4実施例の図5に於いて、図示のように、第1の2値デジタル／アナログ変換回路D A 1に第1演算処理回路C A 1を接続し、デジタル信号処理回路(図示せず。)の出力デジタル値の位相を1/2サンプリング周期だけ遅延させるデジタル遅延回路である遅延回路S Rに第2の2値デジタル／アナログ変換回路D A 2を介して第2演算処理回路C A 2を接続し、第1演算処理回路C A 1と第2演算処理回路C A 2の後段に第1演算処理回路C A 1と第2演算処理回路C A 2の出力値を加算して平均化する加算平均回路A Dを接続して構成される。

【0039】そして、第1演算処理回路C A 1の出力波形が図7(A) 図示実線で示すようなものであると、第2演算処理回路C A 2の出力波形が図7(B) 図示実線で示すように1/2サンプリング周期だけ遅延された出力波形となり、加算平均回路A Dの出力波形は両出力波形を平均化した図7(C)に示すような、図7(A) 図示の出力波形をより一層滑らかにしたような波形となる。従って、後段のL P F(図示せず。)の負担軽減が一層図れ、聴覚上の音質の一層の向上を図ることができる。L P Fの省略も可能になる。

【0040】なお、加算平均回路ADは後段の增幅回路(図示せず。)の省略を意図して、第1、第2演算処理回路の各出力値を単に加算する回路であってもよい。

【004.1】第5実施例の図6に於いて、図示のように、デジタル／アナログ変換回路DACにデジタル／アナログ変換回路D A Cのアナログ出力値を1/2サンプリング周期だけ遅延させる第1、第2、第3サンプルホールド回路SH1、SH2、SH3を直列接続する。第1演算処理回路CA1には、デジタル／アナログ変換回路D A Cと第2サンプルホールド回路SH2を接続し、第2演算処理回路CA2には、第1サンプルホールド回路SH1と第3サンプルホールド回路SH3を接続し、第1演算処理回路CA1と第2演算処理回路CA2の後段に第1演算処理回路CA1と第2演算処理回路CA2の出力値を加算して平均化する加算平均回路ADを接続して構成される。

【004.2】このように構成すれば、図5で説明したと同じ図7の出力波形が得られる。

【004.3】なお、図5及び図6では、演算処理回路を2個用いた構成で説明したが、演算処理回路をN個(Nは2以上の整数)用い、第1演算処理回路を除き他の第2、第3、……、第N演算処理回路に、1/Nサンプリング周期づつ遅延させたアナログ値を入力すれば、演算処理回路の出力波形が1/Nサンプリング周期づつ遅延された出力波形となり、加算平均回路の出力波形はN個の出力波形を平均化した波形になり、出力波形を更により一層滑らかにしたような波形となる。従って、後段のLPF(図示せず。)の負担軽減が更により一層図れ、聴覚上の音質の更により一層の向上を図ることができる。

【004.4】なお、図5、6での第1、第2演算処理回路CA1、CA2の内部構成を第1実施例と同じもので描いたがこれに限られるものでなく、例えば、第3実施

例でもよい。

【図面の簡単な説明】

【図1】第1実施例に係わるデジタル／アナログ変換器の構成図

【図2】第2実施例に係わるデジタル／アナログ変換器の構成図

【図3】第1、第2実施例に係わるデジタル／アナログ変換器の動作を説明するための波形図

【図4】第3実施例に係わる演算処理回路の構成図

【図5】第4実施例に係わるデジタル／アナログ変換器の構成図

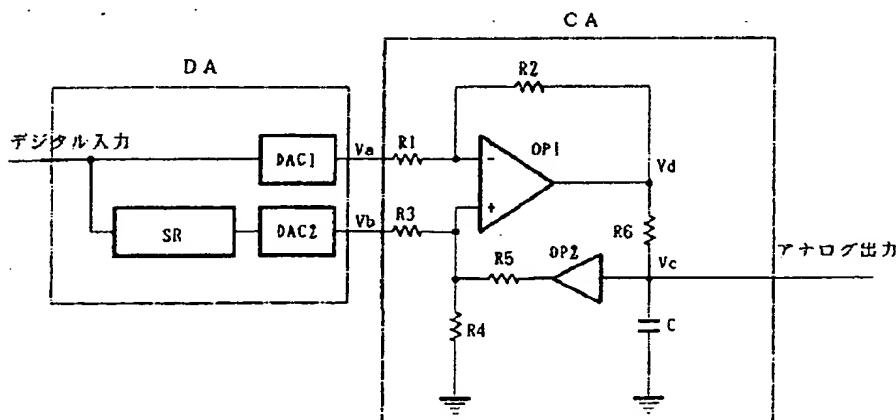
【図6】第5実施例に係わるデジタル／アナログ変換器の構成図

【図7】第4、第5実施例に係わるデジタル／アナログ変換器の動作を説明するための波形図

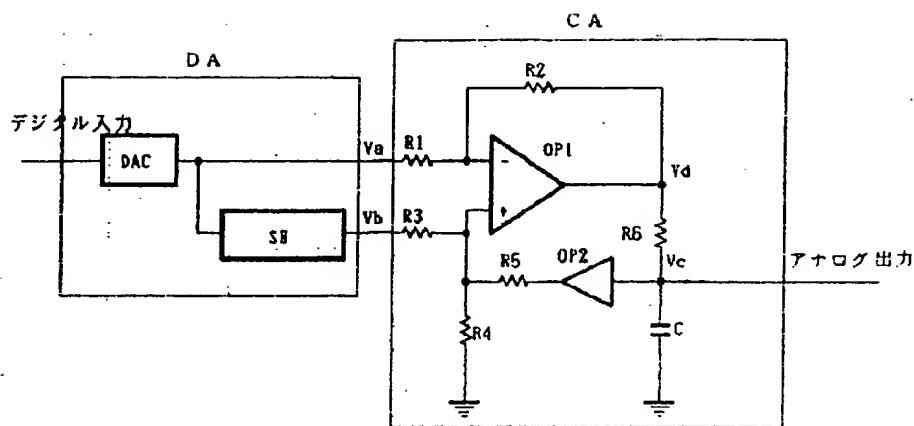
【符号の説明】

AD	加算平均回路
CA	演算処理回路
CA1	第1演算処理回路
20 CA2	第2演算処理回路
DA	2値デジタル／アナログ変換回路
DA1	第1の2値デジタル／アナログ変換回路
DA2	第2の2値デジタル／アナログ変換回路
DAC	デジタル／アナログ変換回路
DAC1	第1デジタル／アナログ変換回路
DAC2	第2デジタル／アナログ変換回路
OP1	演算増幅回路
OP2	バッファ回路
SH	サンプルホールド回路
30 SH1	第1サンプルホールド回路
SH2	第2サンプルホールド回路
SH3	第3サンプルホールド回路
SR	遅延回路

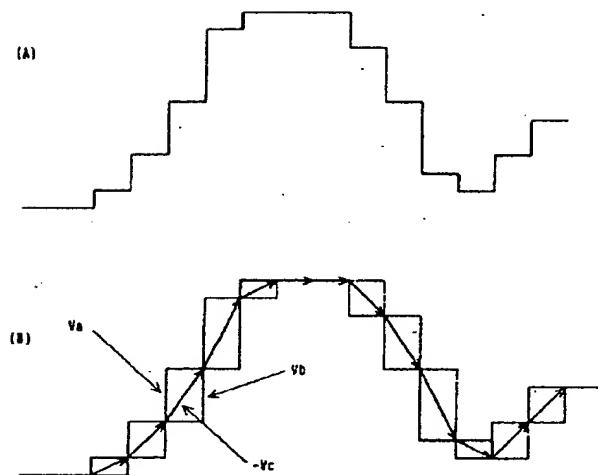
【図1】



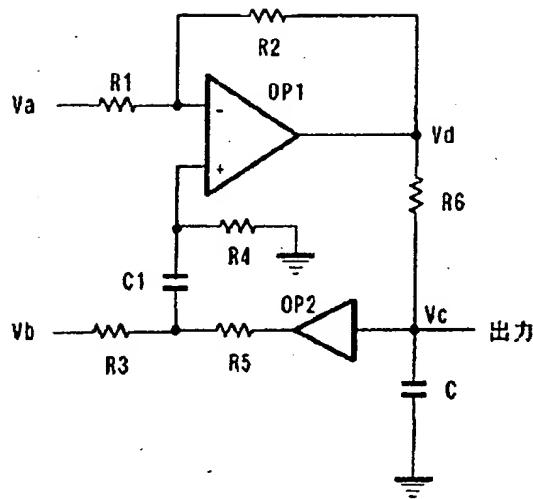
【図2】



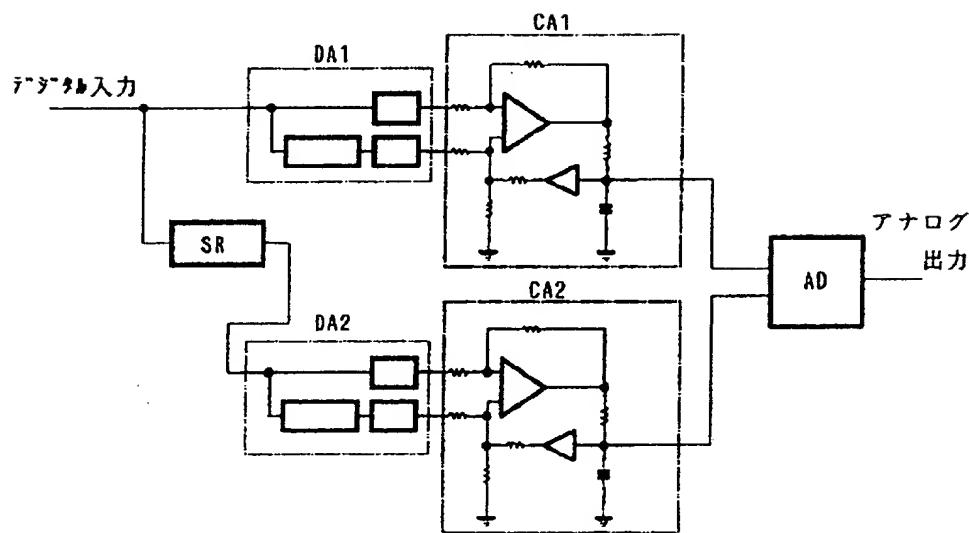
【図3】



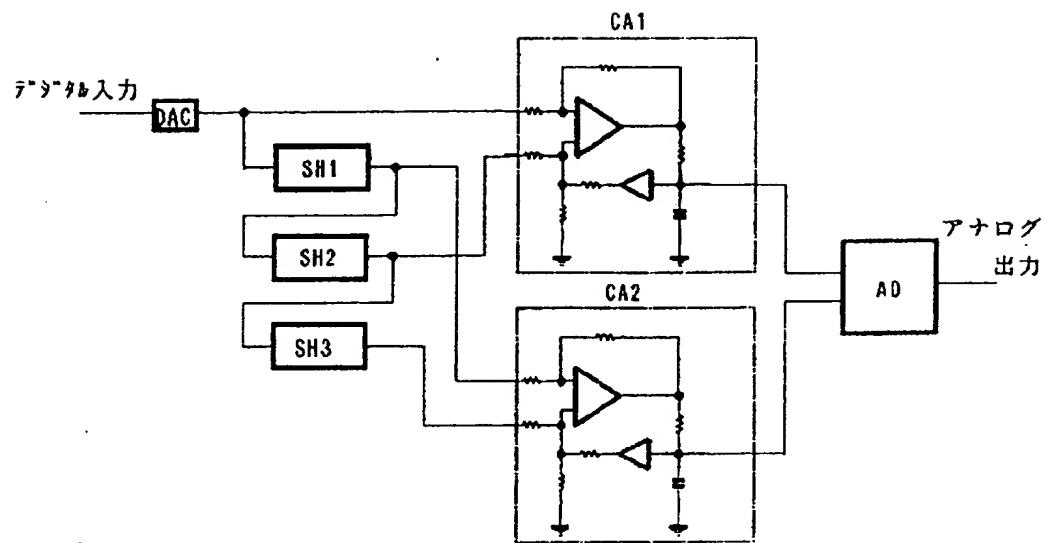
【図4】



【図5】



【図6】



【図7】

